

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136422

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H01L 29/788

H01L 29/792

(21)Application number : 03-294497

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 11.11.1991

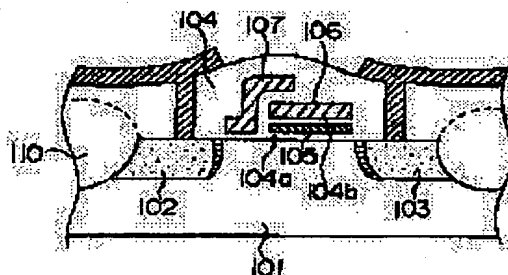
(72)Inventor : IWAHASHI MASANORI

(54) SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To enhance the integration degree of memory cells while maintaining a favorable performance.

CONSTITUTION: This memory device has an address gate 107 in a MOS structure and a memory gate 106 in a MONOS structure on the region sandwiched by a source 102 and a drain 103 on a substrate 101. The memory gate 106 is long enough to operate as a memory cell. The address gate 107 is long enough to operate as a MOSFET because of structure of overlap via an oxide film (SiO₂) 104 on the memory gate 106. Further, the oxide film 104 between the address gate 107 and the memory gate 106 has a sufficient thickness and a sufficient dielectric strength.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-136422

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.⁵H 0 1 L 29/788
29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号

特願平3-294497

(22)出願日

平成3年(1991)11月11日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 岩橋 正憲

千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

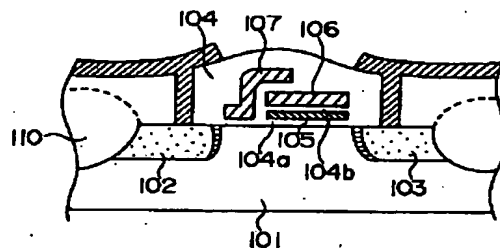
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【目的】 良好な性能を維持しつつメモリセルの集積度をさらに高める。

【構成】 この半導体記憶装置は、基板101上のソース102とドレイン103とに挟まれた領域上に、MOS構造でアドレスゲート107を、MONOS構造でメモリゲート106を有している。メモリゲート106はメモリ素子として動作させるのに十分な長さとなっている。また、アドレスゲート107も、メモリゲート106上に酸化膜(SiO₂)104を介して重ねられた構造になっているので、MOSFETとして動作させるのに十分な長さとなっている。さらに、アドレスゲート107とメモリゲート106と間の酸化膜104は、十分な厚さを持ち、十分な絶縁耐力をもたせている。



【特許請求の範囲】

【請求項1】 MIOSメモリ素子からなる半導体記憶装置であって、

前記MIOSメモリ素子のソース・ドレイン間の領域上に、MIOS構造で形成された第1のゲートとMOS構造で形成された第2のゲートとを有し、

前記第2のゲートの一部が、絶縁物を介して前記第1のゲート上に設けられていることを特徴とする半導体記憶装置。

【請求項2】 前記第1のゲートがMONOS構造で形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 MIOSメモリ素子からなる半導体記憶装置の製造方法であって、

前記MIOSメモリ素子のソース・ドレインとなる領域間の上に、MIOS構造でポリシリコンの第1のゲートを形成する第1の工程と、

前記ポリシリコンの第1のゲートを酸化するとともに前記ソース・ドレインとなる領域間及び前記第1のゲートに酸化膜を堆積する第2の工程と、

前記MIOSメモリ素子のソース・ドレインとなる領域間の上に、MOS構造で第2のゲートを形成する第3の工程とにより、

前記MIOSメモリ素子のゲートを形成することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MIOS構造(MONOS構造, MNOS構造, MAOS構造を含む)をもつ半導体不揮発性メモリに関し、特に、メモリゲート(MIOS構造)及びアドレスゲート(MOS構造)の複数のゲートを有した構造のメモリセルの集積度をさらに高めるのに好適なものである。

【0002】

【従来の技術】MIOS構造の半導体不揮発性メモリは、EEPROMと呼ばれ、何度も電氣的に書き替えが可能のため、広い用途への応用が考えられている。しかし、現在数キロビット程度の低容量のものが実用化され市販されているのが現状であり、より大容量化、高集積化が望まれている。その集積度(記憶密度)を上げるため、図4に示すようなメモリセル構造が提案されている(1990. Symposium on VLSI Circuits p101, 102)。このメモリセルは、基板301上のソース302とドレイン303とに挟まれた領域(チャネル領域301a)上に、MOS構造でアドレスゲート307を、MONOS構造でメモリゲート306を設けたものである。

【0003】メモリゲート306はそのMONOS構造で形成された部分に電荷を保持して記憶する、といういわゆるMIOSメモリ素子となる。アドレスゲート307は、メモリゲート306によるMIOSメモリ素子の

閾値電圧が負のときにその電流をカットするためのMOSFETである。これらは図5に示すような等価回路を構成している。

【0004】

05 【発明が解決しようとする課題】MIOSメモリ素子では、MIOS構造で形成された部分はできるだけ広い面積をとるのが望ましく、メモリ素子として動作させるのに、メモリゲート306のゲート長(重なっていない部分のソース・ドレイン方向の長さ)は、ある最小値 L_{105}

10 L_{105} 以上とらなくてはならない。また、微細化の限界によりゲート長には最小値 L_{111} があり、アドレスゲート307はこの長さ以上でなければならない。このことから、図4のメモリセルでは、チャネル長は、最小値「 $L_{105} + L_{111}$ 」以下にはならないことになる。これは、
15 単に、ドレイン領域(ソース302, ドレイン303など)をなくしただけにすぎないものになっている。

【0005】さらに、図4のメモリセルでは、その製造プロセス上、MOS構造のアドレスゲート307とともに周辺回路のMOSFETがメモリゲート306よりも
20 先に作られている。これらのMOSFETは、メモリゲート306形成の際の高温(窒化膜形成時など)により、閾値電圧などのばらつきが大きくなり、場合によっては動作しなくなる恐れがある。

【0006】また、メモリセルに記憶させる時は、メモリゲート306に比較的高い電圧が印加される。メモリゲート306とアドレスゲート307とは十分に絶縁される必要があるが、メモリゲート306を絶縁する SiO_2 304, SiN 305などの絶縁体は、記憶させるのに都合の良いように作られていて、また、段差の部分
30 が薄くなっている。そのため、絶縁特性はあまりよくなく、電場集中によるリークがある。場合によっては、周辺回路のMOSFETなどを破壊してしまう恐れがある。

【0007】このように、前述のメモリセルでは、若干
35 の小型化はなされたが、それに伴う問題点も生じている。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明の半導体記憶装置は、MIOSメモリ素子
40 (MONOS構造, MNOS構造, MAOS構造を含む)からなる半導体記憶装置であって、MIOSメモリ素子のソース・ドレイン間の領域上に、MIOS構造(MONOS構造, MNOS構造, MAOS構造を含む)で形成された第1のゲートとMOS構造で形成された第2のゲートとを有し、第2のゲートの一部が、絶縁物を介して第1のゲート上に設けられていることを特徴とする。
45

【0009】さらに、第1のゲートがMONOS構造で形成されていることを特徴としてもよい。

50 【0010】また、本発明の半導体記憶装置の製造方法

は、MIOSメモリ素子からなる半導体記憶装置の製造方法であって、MIOSメモリ素子のソース・ドレインとなる領域間の上に、MIOS構造でポリシリコンの第1のゲートを形成する第1の工程と、ポリシリコンの第1のゲートを酸化するとともにソース・ドレインとなる領域間及び第1のゲートに酸化膜を堆積する第2の工程と、MIOSメモリ素子のソース・ドレインとなる領域間の上に、MOS構造で第2のゲートを形成する第3の工程とにより、MIOSトランジスタのゲートを形成することを特徴とする。

【0011】

【作用】本発明の半導体記憶装置では、MIOS構造の第1のゲート上に、第2のゲートを設けている。そのため、MIOS構造の第1のゲートのゲート長を十分に与えて、残りのMIOSメモリ素子のソース・ドレインとなる領域間が第2のゲートのゲート長の最小値以下であっても、第2のゲートの一部を絶縁物を介して第1のゲート上に設けることで、第2のゲートについても、そのゲート長の最小値以上とすることができる。

【0012】本発明の半導体記憶装置の製造方法では、まず、MIOS構造で第1のゲートを形成した後に、第2のゲートを形成することで、上述の半導体記憶装置が作られている。さらに、酸化膜を形成する第2の工程及び第2のゲートを形成する第3の工程でポリシリコンの一部が酸化され絶縁用の酸化膜がより厚くなり、第1のゲートと第2のゲートとは十分に絶縁される。

【0013】

【実施例】本発明の実施例を図面を参照して説明する。図1には、本発明の半導体記憶装置のMIOSメモリ素子（メモリセル）構造が示されている。

【0014】この半導体記憶装置のMIOSメモリ素子は、基板101上のソース102とドレイン103とに挟まれた領域上に、MOS構造でアドレスゲート107を、MONOS構造でメモリゲート106を有し、前述の従来例と同等の図5に示した等価回路を構成する。ここで、符号104a、104b、105はMONOS構造を構成する絶縁物で、それぞれトンネル酸化膜（ SiO_2 ）、トップ酸化膜（ SiO_2 ）、窒化膜（ SiN ）である。

【0015】メモリゲート106は、メモリ素子として動作させるのに十分な長さとなっている。また、アドレスゲート307も、メモリゲート106上に酸化膜（ SiO_2 ）104を介して重ねられた構造になっているので、MOSFETとして動作させるのに十分な長さとなっている。さらに、アドレスゲート107とメモリゲート106との間の酸化膜104は、十分な厚さを持ち、十分な絶縁耐力をもっている。このMIOSメモリ素子は、前述の従来例と比較してこれらの点に特徴を有している。

【0016】また、チャンネル長は、従来例の最小値より

も小さくすることが可能である。例えば、加工最小寸法を $1.0\mu\text{m}$ としたとき（ $L_{\text{min}}=1.0\mu\text{m}$ ）、従来例で、アドレスゲート長 $1.0\mu\text{m}$ （最小値）、メモリゲート長 $1.2\mu\text{m}$ 、重なり $0.4\mu\text{m}$ とすると、チャンネル長は $1.8\mu\text{m}$ で、有効メモリゲート長は最小値の $0.8\mu\text{m}$ である。ここで、アライメントの誤差も配慮すると、有効メモリゲート長は最小値の $0.8\pm 0.15\mu\text{m}$ になる。この誤差はメモリ特性のばらつきになる。一方、本実施例では、アドレスゲート長 $1.0\mu\text{m}$ （最小値）、メモリゲート長 $1.0\mu\text{m}$ （有効メモリゲート長と同じ）、重なり $0.5\mu\text{m}$ とすると、チャンネル長は $1.5\mu\text{m}$ と小さくなる。また、有効メモリゲート長が大きくなるので、その相対的な誤差も小さく、メモリ特性も安定する。アドレスゲートは単に電流をオンオフするスイッチ素子として働けばよいので、加工最小寸法以上であればよい。このように、メモリゲートをなるべく多く取ることで良好な動作を保つようにして、集積度を向上させている。

【0017】つぎに、この半導体記憶装置の製造工程を図2、図3を用いて説明する。

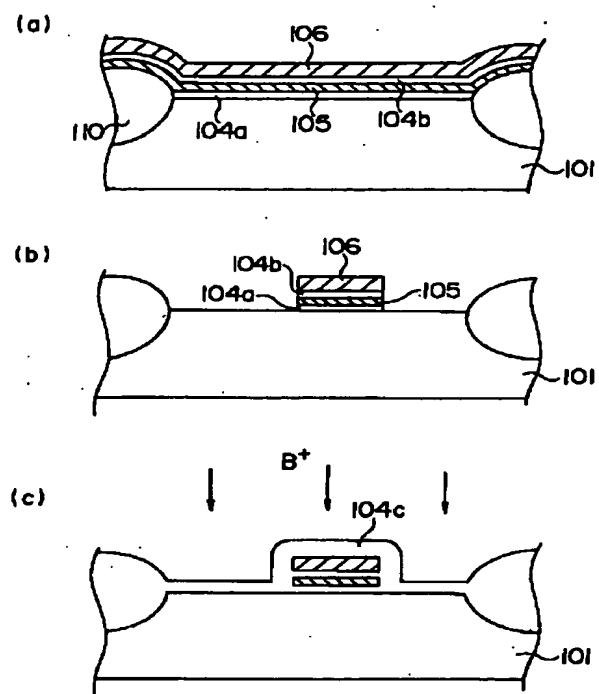
【0018】まず、LOCOS法などにより通常の素子分離を行った基板101をフッ酸HFなどでエッチングする。このとき、活性化領域表面をエッチングし、基板101のSi表面を露出させる。つぎに、熱酸化などにより約2000Åの酸化膜（トンネル酸化膜104a）を形成し、その上に、LPCVD法で70～1500Åの窒化膜105を堆積させる。熱酸化、HTOなどにより50～800Åの酸化膜（トップ酸化膜104b）を形成し、メモリゲート用のポリシリコン106を3500Å程度堆積させる（図2（a）参照）。

【0019】つぎに、パターニングを行い、ポリシリコン106、トップ酸化膜104b、窒化膜105、トンネル酸化膜104aをエッチングして、メモリゲートとなる部分以外のものを除去する（図2（b）参照）。

【0020】それから、基板101上に酸化膜104cを2500Å程度堆積させる。このとき、ポリシリコン106上の酸化膜104cは約400Å程度となっている。この酸化膜104cごしに、ホウ素 B^+ 25keV程度でメモリゲートの周辺及びアドレスゲート用のチャンネルイオン注入を行う（図2（c）参照）。

【0021】そして、基板101上の酸化膜104cをエッチングし、ポリシリコン106を200Å程度酸化させる。このとき、ポリシリコン106の周囲の酸化膜104cは、エッチングの残りとの酸化とで約400Å程度となっている。その後、アドレスゲート用のポリシリコン107を堆積させる（図2（d）参照）。このポリシリコン107をエッチングし、アドレスゲートを形成する（図2（e）参

【図2】



【図3】

